



KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020000042639 (43) Publication Date. 20000715

(21) Application No.1019980058883 (22) Application Date. 19981226

(51) IPC Code:

H01L 21/26

(71) Applicant:

HYUNDAI ELECTRONICS IND. CO., LTD.

(72) Inventor:

AHN, YONG BOK

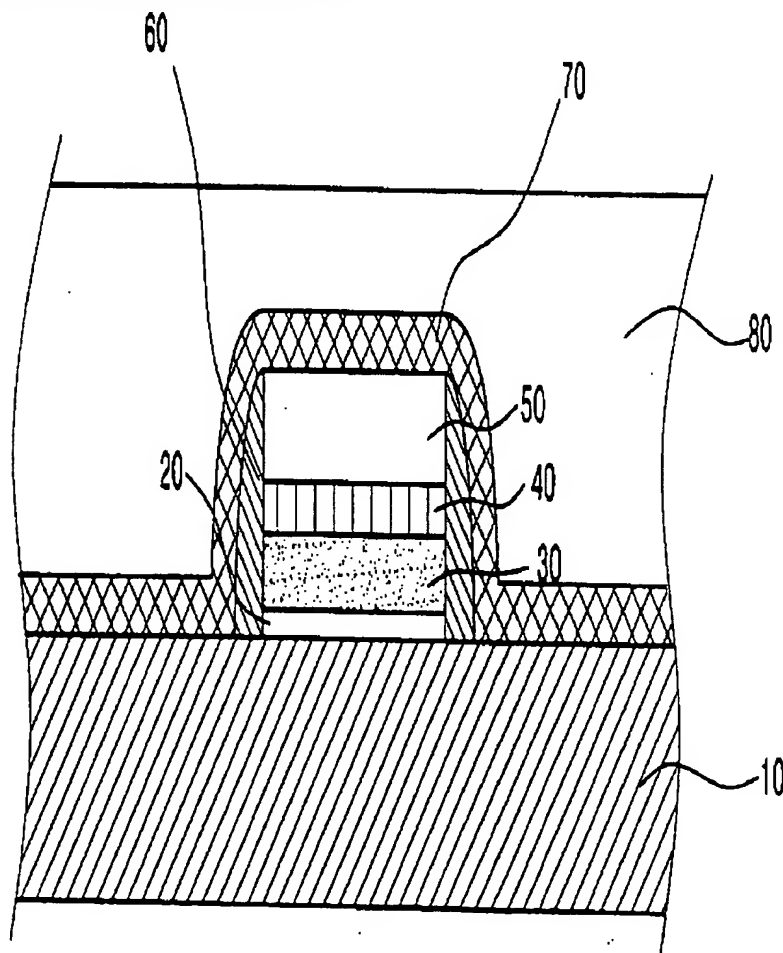
JU, GWANG CHEOL

(30) Priority:

(54) Title of Invention

DOPING METHOD FOR GATE ELECTRODE OF FLASH MEMORY DEVICE

Representative drawing



(57) Abstract:

PURPOSE: A doping method for a gate electrode of a flash memory device is provided to prevent a pile-up of dopant and a remaining of polysilicon during an etch of the gate electrode.

CONSTITUTION: After a gate oxide(20) is deposited on a semiconductor substrate(10), a lower polysilicon layer (30) is formed from an undoped amorphous polysilicon. The lower polysilicon layer(30) is then doped by POCl_3 at a first temperature of about 800°C to about 900°C , and subsequently annealed to uniform construction thereof at a second temperature higher than the first temperature. Next, an oxide-nitride-oxide insulation layer(40) is formed on the lower polysilicon layer(30), and subsequently an undoped normal polysilicon layer(50) is formed as an upper polysilicon layer. The upper polysilicon layer(50) is then doped and annealed like the lower polysilicon

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl.⁶ (11) 공개번호 특2000-0042639
H01L 21/26 (43) 공개일자 2000년07월15일

(21) 출원번호 10-1998-0058883
(22) 출원일자 1998년12월26일
(71) 출원인 현대전자산업 주식회사 김영환
경기도 이천시 부발읍 아미리 산 136-1
(72) 발명자 주광철
경기도 이천시 대월면 사동리 311-8 천호빌라 2동 201호
안용복
경기도 이천시 부발읍 아미리 산 136-1번지
(74) 대리인 박대진, 이은경, 정은섭

심사청구 : 없음

(54) 플래시메모리의 게이트전극도핑방법

요약

본 발명은 게이트전극의 도핑방법에 관한 것으로서, 반도체기판상에 게이트산화막을 적층한 후 그 위에 도핑되지 않은 비정질 폴리실리콘인 하부폴리실리콘층을 적층하는 단계와; 상기 하부폴리실리콘층에 POCl_3 를 인-시튜공정으로 도핑하는 단계와; 상기 하부폴리실리콘층을 도핑온도 보다 높은 온도로 어닐링하는 단계와; 상기 하부폴리실리콘층 상에 ONO 절연막을 적층한 후 그 위에 도핑되지 않은 보통의 폴리실리콘인 상부폴리실리콘층을 적층하는 단계와; 상기 상부폴리실리콘층에 POCl_3 를 도핑하는 단계와; 상기 상부폴리실리콘층을 도핑온도 보다 높은 온도로 어닐링하는 단계와; 상기 결과물을 식각하여 게이트전극을 형성한 후 측면부분에 스페이서막을 형성하고, 상부면에 인터폴리산화막 및 BPSG절연막을 적층하는 단계를 포함하는 플래시메모리의 게이트전극도핑방법인 바, 도핑물질이 상,하부폴리실리콘층 내부로 확산하여 들어가므로 도핑 상태를 개선하여 도핑물질(Dopant)의 파일-업(File-Up)을 방지할 뿐만아니라 식각으로 게이트전극을 형성할 때 폴리실리콘의 잔류를 방지하도록 하는 매우 유용하고 효과적인 발명이다.

대표도

도7

명세서

도면의 간단한 설명

도 1 내지 도 7은 본 발명에 따른 플래시메모리의 게이트전극도핑방법을 순차적으로 도시한 도면.
도 8(a)(b)(c)는 본 발명을 이용하여 웨이퍼를 도핑 처리한 후 웨이퍼의 R_s 균일도를 보인 도면.
-도면의 주요부분에 대한 부호의 설명-

10 : 반도체기판 20 : 게이트산화막
30 : 하부폴리실리콘층 40 : ONO 절연막
50 : 상부폴리실리콘층 60 : 스페이서막
70 : 인터폴리산화막 80 : BPSG절연막
A : 게이트전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 플래시메모리소자의 게이트전극에 관한 것으로, 특히, 상,하부폴리실리콘층을 POCl_3 도핑처리를 한 후 도핑온도 보다 높은 온도에서 어닐링 처리하므로 도핑 상태를 개선하여 도핑물질의 파일-업(File-Up)을 방지할 뿐만아니라 식각으로 게이트전극을 형성할 때 폴리실리콘의 잔류를 방지하고

록 하는 플래시메모리의 게이트전극도핑방법에 관한 것이다.

일반적으로, 플래시메모리(Flash Memory)소자의 셀은 반도체기판 상에 게이트산화막(터널산화막(Tunnel Oxide)이라고도 칭함), 하부폴리실리콘층(플로팅게이트(Floating)라고도 함), ONO절연막, 상부폴리실리콘층(콘트롤게이트(Control Gate)라고도 함)을 순차적으로 적층한 후 식각으로 게이트전극을 형성한다.

그리고, 게이트전극의 측면에 스페이서(Spacer)막을 형성한 후 인터폴리산화막을 상부에 적층하고 계속하여 상부에 필요한 부분을 적층하게 되는 것이다.

여기에서, 하부폴리실리콘층은 게이트산화막과 ONO절연막 사이에 고립된 상태에서 도핑물질이 내부에 도핑되어서 전하(전자)를 보유하는 상태로 여기(Excite)된 상태로 있게 된다.

그리고, 상기 ONO절연막은 상,하부를 절연하는 역할을 하게 되고, 그 위에 적층된 상부폴리실리콘층은 하부에 있는 하부폴리실리콘층에 내재된 전자를 여기시켜서 차아지(Charge) 혹은 디스차아징(Discharging)하기 위하여 바이어스 전압을 인가시키는 역할을 하게 되는 것이다.

그러나, 종래의 도핑공정을 완료한 후에는 도펀트(Dopant)가 폴리실리콘오필링 표면에 모여지는 파일업(File-Up)상태를 보이게 되어 후속공정 진행할 때 도펀트량의 불균일로 인한 식각비율의 차이를 보이게 되므로 비이상층이 존재하고, 폴리실리콘층의 잔류물을 잔존시키고, 과도한 옥시데이션(Oxidation)으로 인하여 국부적으로 산화막층이 두꺼워지는 현상이 발생되어 후속공정에 의하여 R_s (Sheet-Resistance) 값이 변화하므로 공정완료 후와 도핑공정직 후의 값에 많은 차이를 보이므로 인-라인(In-Line)에서 R_s 를 손쉽게 모니터링(Monitoring)하지 못하는 단점을 지닌다.

이러한 문제점을 해결하기 위하여 인-시튜공정으로 도핑된 폴리실리콘층을 적층하는 방법을 적용하고 있으나, 이 방법으로 도핑하는 경우에는 도펀트가 게이트산화막(터널산화막)에 직접적으로 영향을 미칠 뿐만 아니라 인-시튜(In-situ)공정으로 도핑된 폴리실리콘층에서 작은 그레인(Grain)들이 후속공정에 의하여 성장하면서 게이트산화막에 데미지(Damage)를 가하여 게이트산화막의 특성을 저하시키는 문제점을 지니고 있었다.

발명이 이루고자하는 기술적 과제

본 발명은 이러한 점을 감안하여 안출한 것으로서, 반도체기판상에 게이트산화막을 적층하고, 그 위에 하부폴리실리콘층, ONO절연막 및 상부폴리실리콘층을 적층하는 데 있어, 상,하부폴리실리콘층을 $POCl_3$ 도핑처리를 한 후 도핑온도 보다 높은 온도에서 어닐링 처리하므로 도핑 상태를 개선하여 도핑물질의 파일업(File-Up)을 방지할 뿐만 아니라 식각으로 게이트전극을 형성할 때 폴리실리콘의 잔류를 방지하도록 하는 것이 목적이다.

발명의 구성 및 작용

이러한 목적은 반도체기판상에 게이트산화막을 적층한 후 그 위에 도핑되지 않은 비정질 폴리실리콘인 하부폴리실리콘층을 적층하는 단계와; 상기 하부폴리실리콘층에 $POCl_3$ 를 도핑하는 단계와; 상기 하부폴리실리콘층을 도핑온도 보다 높은 온도로 어닐링하는 단계와; 상기 하부폴리실리콘층상에 ONO절연막을 적층한 후 그 위에 도핑되지 않은 보통의 폴리실리콘인 상부폴리실리콘층을 적층하는 단계와; 상기 상부폴리실리콘층에 $POCl_3$ 를 도핑하는 단계와; 상기 상부폴리실리콘층을 도핑온도 보다 높은 온도로 어닐링하는 단계와; 상기 결과를 식각하여 게이트전극을 형성한 후 측면부분에 스페이서막을 형성하고, 상부면에 인터폴리산화막 및 BPSG절연막을 적층하는 단계를 포함한 플래시메모리의 게이트전극도핑방법을 제공함으로써 달성된다.

그리고, 상기 상,하부폴리실리콘층의 $POCl_3$ 도핑은 엑스-시튜공정으로 800 ~ 900℃에서 진행되고, 상기 상,하부폴리실리콘층을 어닐링하는 공정은 상,하부폴리실리콘층을 도핑할 때의 온도 보다 50 ~ 100℃ 높은 온도에서 진행하도록 한다.

또한, 상기 상부폴리실리콘층은 인-시튜(In-Situ)공정으로 진행하도록 하고, 상기 상부폴리실리콘층은 $PH_3 + SiH_4$ 가스 혹은 $PH_3 + Si_2H_6$ 가스를 사용하여 진행하도록 한다.

이하, 첨부한 도면에 의거하여 본 발명에 바람직한 일 실시예에 대하여 상세히 설명한다.

도 1 내지 도 7은 본 발명에 따른 플래시메모리의 게이트전극도핑방법을 순차적으로 도시한 도면이다.

도 1 및 도 2는 반도체기판(10)상에 게이트산화막(20)을 적층한 후 그 위에 도핑되지 않은 비정질 폴리실리콘(Undoped Amorphous Poly-Silicon)인 하부폴리실리콘층(30)을 적층하는 상태를 순차적으로 보이고 있다.

그리고, 상기 하부폴리실리콘층(30)에 $POCl_3$ 를 800 ~ 900℃의 온도범위에서 도핑하도록 한다.

그리고, 계속하여 상기 하부폴리실리콘층(30)을 도핑온도 보다 50 ~ 100℃ 정도 높은 온도로 어닐링(Annealing)하여 조직을 균질화시키도록 한다.

그리고, 도 3은 상기 하부폴리실리콘층(30) 상에 ONO(Oxide-Nitride-Oxide) 절연막(40)을 적층한 상태를 도시하며, 도 4는 그 위에 도핑되지 않은 보통의 폴리실리콘(Undoped Normal Poly-Silicon)인 상부폴리실리콘층(50)을 적층하는 상태를 도시하고 있다.

이때, 상기 상부폴리실리콘층(50)에 $POCl_3$ 를 엑스-시튜(Ex-Situ)공정으로 800 ~ 900℃의 온도범위에서 도핑하도록 한다.

상기 상부폴리실리콘층(50)을 도핑온도 보다 50 ~ 100℃ 정도 높은 온도로 어닐링하도록 한다.

그리고, 도 5는 마스크식각으로 상기한 결과물을 식각하여 게이트전극(A)을 형성한 상태를 도시하고 있다.

그리고, 도 6 및 도 7은 게이트전극(A)의 측면부분에 스페이서막(60)을 형성하고, 상부면에 인터폴리산화막(Inter-Poly Oxide)(70) 및 BPSG(Boro Phospho Silicate Glass)절연막(80)을 적층하는 상태를 도시하고 있다.

한편, 도 8(a)(b)(c)는 본 발명을 이용하여 웨이퍼를 도핑 처리한 후 웨이퍼의 Rs 균일도(Uniformity)를 보인 도면으로서, POCl_3 를 도핑한 후에 고온 어닐링공

정을 진행한 경우의 Rs 균일도를 보이고 있다.

도 8(a)는 Rs 균일도가 7.73%정도이고, 도 8(b)는 Rs 균일도가 6.62%이고, 도 8(c)는 Rs균일도가 4.78% 일 때의 웨이퍼 상태를 각각 보이고 있는 것으로서, 균일도가 웨이퍼에 도펀트가 균일하게 도핑되었는지 여부를 나타내 주게 되는 것으로서, 종래에 비하여 Rs균일도가 향상된 것을 나타내주고 있다.

발명의 효과

따라서, 상기한 바와 같이 본 발명에 따른 플래시메모리의 게이트전극도핑방법이용하게 되면, 반도체기판상에 게이트산화막을 적층하고, 그 위에 하부폴리실리콘층, ONO절연막 및 상부폴리실리콘층을 적층하는 데 있어, 상,하부폴리실리콘층을 POCl_3 도핑처리를 한 후 도핑온도 보다 높은 온도에서 어닐링 처리하여 도핑물질이 상,하부폴리실리콘층 내부로 확산하여 들어가므로 도핑 상태를 개선하여 도핑물질(Dopant)의 파일-업(File-Up)을 방지하여 Rs균일도를 향상 시킬뿐만 아니라 식각으로 게이트전극을 형성할 때 폴리실리콘의 잔류를 방지하도록 하는 매우 유용하고 효과적인 발명이다.

(57) 청구의 범위

청구항 1

반도체기판상에 게이트산화막을 적층한 후 그 위에 도핑되지 않은 비정질 폴리실리콘인 하부폴리실리콘층을 적층하는 단계와;

상기 하부폴리실리콘층에 POCl_3 를 도핑하는 단계와;

상기 하부폴리실리콘층을 도핑온도 보다 높은 온도로 어닐링하는 단계와;

상기 하부폴리실리콘층상에 ONO절연막을 적층한 후 그 위에 도핑되지 않은 보통의 폴리실리콘인 상부폴리실리콘층을 적층하는 단계와;

상기 상부폴리실리콘층에 POCl_3 를 도핑하는 단계와;

상기 상부폴리실리콘층을 도핑온도 보다 높은 온도로 어닐링하는 단계와;

상기 결과물을 식각하여 게이트전극을 형성한 후 측면부분에 스페이서막을 형성하고, 상부면에 인터폴리산화막 및 BPSG절연막을 적층하는 단계로 이루어진 것을 특징으로 하는 플래시메모리의 게이트전극도핑방법.

청구항 2

제 1 항에 있어서, 상기 상,하부폴리실리콘층의 POCl_3 도핑은 엑스-시류공정으로 800 ~ 900℃의 온도범위에서 진행되는 것을 특징으로 하는 플래시메모리의 게이트전극도핑방법.

청구항 3

제 1 항에 있어서, 상기 상,하부폴리실리콘층을 어닐링하는 공정은 상,하부폴리실리콘층을 도핑할 때의 온도 보다 50 ~ 100℃ 높은 온도에서 진행하는 것을 특징으로 하는 플래시메모리의 게이트전극도핑방법.

청구항 4

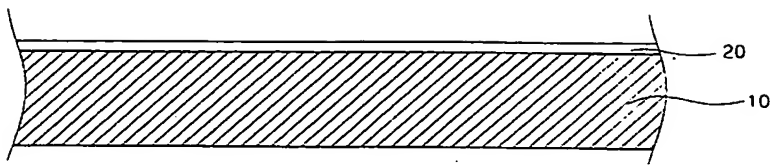
제 1 항에 있어서, 상기 상부폴리실리콘층은 인-시류공정으로 진행하는 것을 특징으로 하는 플래시메모리의 게이트전극도핑방법.

청구항 5

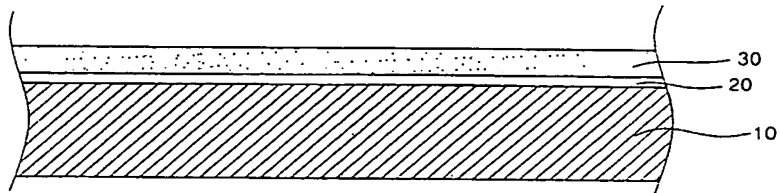
제 1 항에 있어서, 상기 상부폴리실리콘층은 PH_3 + SiH_4 가스 혹은 PH_3 + Si_2H_6 가스를 사용하여 진행하는 것을 특징으로 하는 플래시메모리의 게이트전극도핑방법.

도면

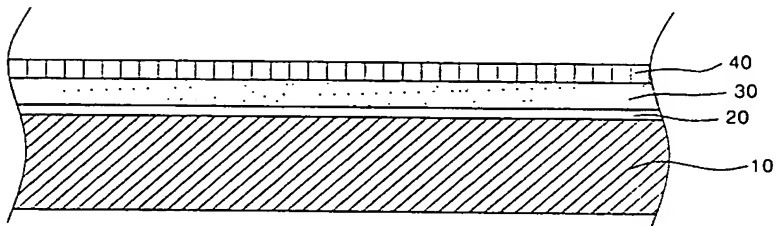
도면1



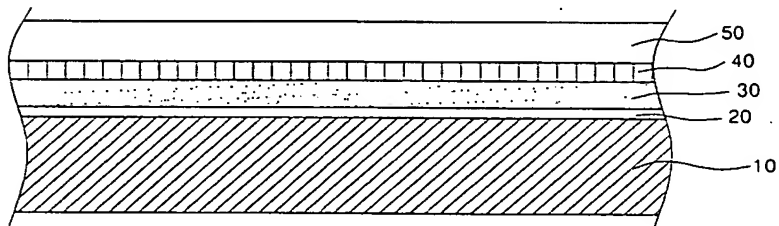
도면2



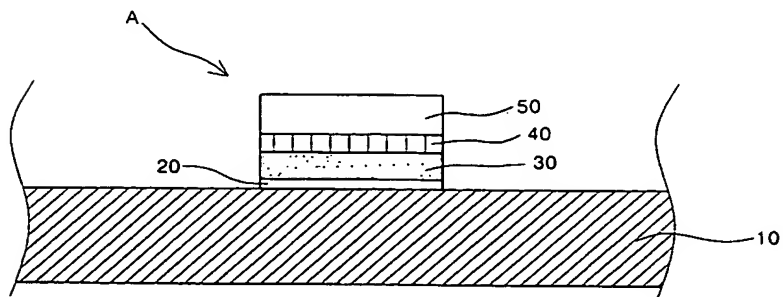
도면3



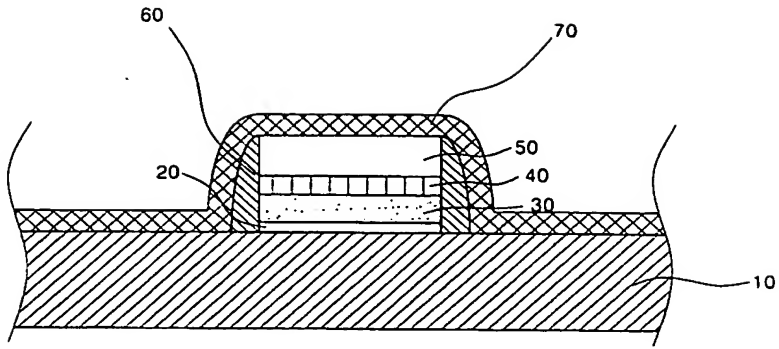
도면4



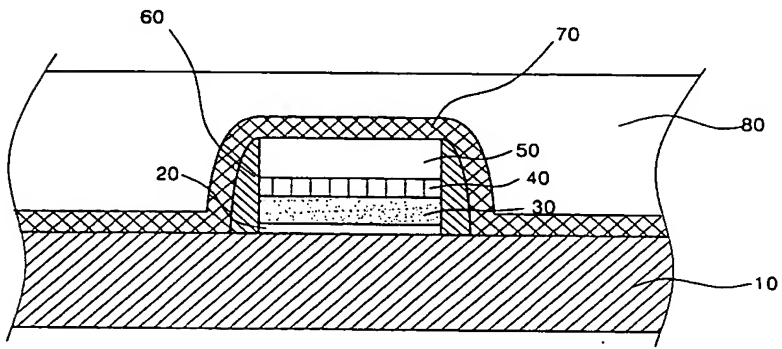
도면5



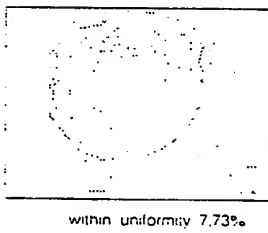
도면6



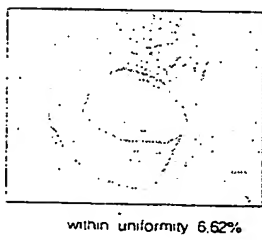
도면7



도면8a



도면8b



도면8c



within uniformity 4.78%